**同济大学**

**计算机科学与技术系**

**计算机组成原理课程实验报告**

****

**学 号 1652270**

**姓 名 冯舜**

**专 业 计算机科学与技术**

**授课老师 陈永生**

日 期 2018/

# 实验内容

实验内容

# 模块建模

## 模块1

模块1

其接口定义：

|  |
| --- |
| **module** MODULE(  //注释1  //注释2  **input** input1,  **output** output1  ); |

以下是Verilog HDL代码：

|  |
| --- |
|  |

## 模块2

模块2

其接口定义：

|  |
| --- |
| **module** MODULE(  //注释1  //注释2  **input** input1,  **output** output1  ); |

以下是Verilog HDL代码:

|  |
| --- |
|  |

# 测试模块设计

## 模块1\_tb

模块1\_tb

以下是Verilog HDL代码：

|  |
| --- |
|  |

## 模块2\_tb

模块2\_tb

以下是Verilog HDL代码:

|  |
| --- |
|  |

# 实验结果

## 模块1

### Modelsim仿真波形图

图片

如图，达到了预期的要求。

### 下板实验

图片

如图，达到了预期的要求。

## 模块2

### Modelsim仿真波形图

图片

如图，达到了预期的要求。

### 下板实验

图片

如图，达到了预期的要求。